

LEE0015-US

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

KUN-HONG CHEN

Serial No. New Application

ATTN. APPLICATION BRANCH

Filed: JULY 28, 2003

For: METHOD OF FORMING LIGHTLY
DOPED DRAINS

CLAIM TO PRIORITY UNDER 35 U.S.C. § 119

Sir:

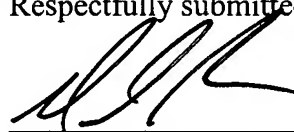
The benefit of the filing date of the following prior application filed in the following foreign country is hereby requested and the right of the priority provided under 35 U.S.C. § 119 is hereby claimed:

Taiwanese Patent Appln. No. 091120870 filed September 12, 2002

In support of this claim, filed herewith is a certified copy of said foreign application and English translation thereof.

Respectfully submitted,

By:



Michael D. Bednarek
Reg. No. 32,329

Date: **July 28, 2003**
SHAW PITTMAN LLP
1650 Tysons Boulevard
McLean, VA 22102
Tel: (703) 770-7606

TRANSLATION OF CERTIFIED DOCUMENT

THIS IS TO CERTIFY THAT ANNEXED IS A TRUE COPY FROM THE
RECORDS OF THIS OFFICE OF THE APPLICATION AS ORIGINALLY FILED
WHICH IS IDENTIFIED HEREUNDER.

APPLICATION DATE: 2002/09/12

APPLICATION NUMBER: 091120870

(TITLE: Method Of Forming Lightly Doped Drains)

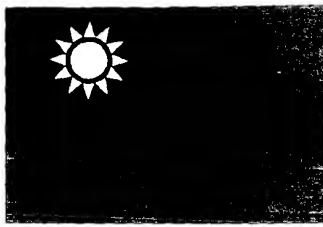
APPLICANT: AU Optronics Corporation

DIRECTOR GENERAL

蔡練生

ISSUE DATE: 2002/10/11

SERIAL NUMBER: 09111019903



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 09 月 12 日
Application Date

申請案號：091120870
Application No.

申請人：友達光電股份有限公司
Applicant(s)

局 長

Director General

蔡 練 生

發文日期：西元 2002 年 10 月 11 日
Issue Date

發文字號：09111019903
Serial No.

申請日期：91. 9. 12

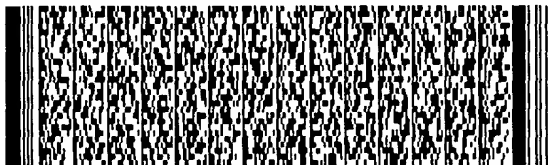
案號：91120870

類別：

(以上各欄由本局填註)

發明專利說明書

| | | |
|------------|---------------------|--|
| 一、 發明名稱 | 中 文 | 形成輕摻雜汲極的方法 |
| | 英 文 | METHOD OF FORMING LIGHTLY DOPED DRAINS |
| 二、 發明人 | 姓 名 (中文) | 1. 陳坤宏 |
| | 姓 名 (英文) | 1. CHEN, Kun-Hong |
| | 國 籍 | 1. 中華民國 |
| | 住、居所 | 1. 台北縣淡水鎮新興里20鄰新春街81號8樓 |
| 三、 申請人 | 姓 名 (名稱) (中文) | 1. 友達光電股份有限公司 |
| | 姓 名 (名稱) (英文) | 1. AU Optronics Corporation |
| | 國 籍 | 1. 中華民國 |
| | 住、居所 (事務所) | 1. 新竹科學工業園區新竹市力行二路一號 |
| | 代表人 姓 名 (中文) | 1. 李焜耀 |
| | 代表人 姓 名 (英文) | 1. K. Y. LEE |

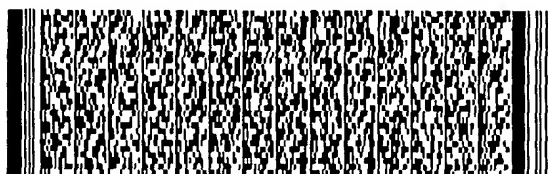


四、中文發明摘要 (發明之名稱：形成輕摻雜汲極的方法)

本發明提供一種形成一輕摻雜汲極的方法，包含提供一半導體結構，形成一絕緣層於半導體結構上。接著，形成一導電層於絕緣層上，與形成具有圖案移轉的一光阻層於導電層上。然後，移除部分的導電層，並暴露出部分絕緣層，此移除步驟係以光阻層為一第一遮罩。其次，植入複數個第一離子至半導體結構中，此植入步驟係以光阻層與導電層為一第二遮罩。等向性蝕刻部分導電層，使得導電層於光阻層下具有底切(undercut)現象。移除光阻層後，植入複數個第二離子至半導體結構中，以形成輕摻雜汲極，此植入步驟係以等向性蝕刻後之導電層為一第三遮罩。

英文發明摘要 (發明之名稱：METHOD OF FORMING LIGHTLY DOPED DRAINS)

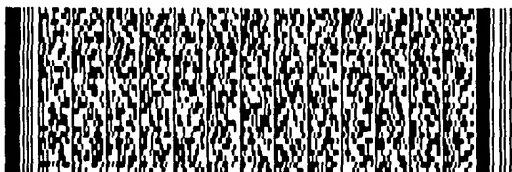
The present provides a method of forming lightly doped drains. The method consists of providing a semiconductor structure and an insulating layer formed on the semiconductor structure. A conductive layer is formed on the insulating layer and a photo resist layer having a transferred pattern is formed on the conductive layer. Next, by using the photo resist layer as a first mask, partial portion of the conductive layer is removed to expose partial portion of the



四、中文發明摘要 (發明之名稱：形成輕摻雜汲極的方法)

英文發明摘要 (發明之名稱：METHOD OF FORMING LIGHTLY DOPED DRAINS)

insulating layer. By using the photo resist layer together with the conductive layer as a second mask, multiple first ions are implanted into the semiconductor structure. Partial portion of the conductive layer is isotropic etched to result in undercut of the conductive layer under the photo resist layer. After the photo resist layer is removed, multiple second ions are implanted into the semiconductor structure to form the lightly doped drains by using the undercut conductive



四、中文發明摘要 (發明之名稱：形成輕摻雜汲極的方法)

英文發明摘要 (發明之名稱：METHOD OF FORMING LIGHTLY DOPED DRAINS)

layer as a third mask.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

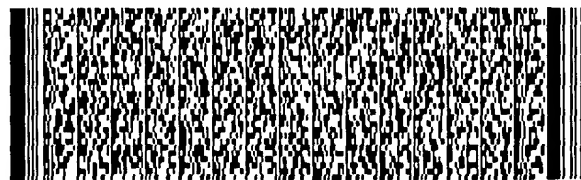
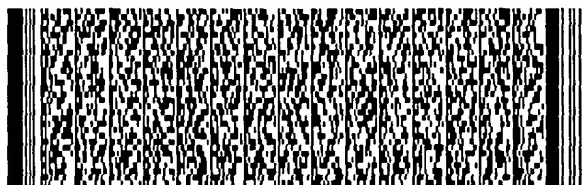
發明領域

本發明係關於一種形成輕摻雜汲極(lightly doped drain)的方法，更具體而言，係關於一種於薄膜電晶體(thin film transistor)中形成輕摻雜汲極的方法。

習知技術說明

熟知薄膜電晶體之人士了解，位於薄膜電晶體之汲極區域鄰近的強電場，通常會造成高漏電流的情形。為了抑制此些電場的大小，偏置的閘極結構(offset gate structure)、輕摻雜汲極(lightly doped drain)結構與多閘極結構(multi-gate structure)因而形成。在偏置的閘極結構與輕摻雜汲極結構的情形中，為了減少因寄生電容(parasitic capacitance)所導致的影像品質惡化，需進行若干的步驟以確保這些區域的自行對準(self-alignment)。

在若干的技術報告中，輕摻雜汲極區域的應用或許能減少薄膜電晶體之開啟狀態(on-state)的漏電流。然而，加入輕摻雜汲極區域的設計，通常需要增加製造薄膜電晶體的遮罩，增加了複雜度與成本。而且，如果輕摻雜汲極離子植入之遮罩失準(misalignment)情況存在時，薄膜電晶體通道(channel)兩旁的輕摻雜汲極區域的長度就會有所差異。因此，在薄膜電晶體-液晶顯示器製程中，持續改進微影(photolithographic)對準的精確與減少遮罩數



五、發明說明 (2)

目，是很重要的課題。

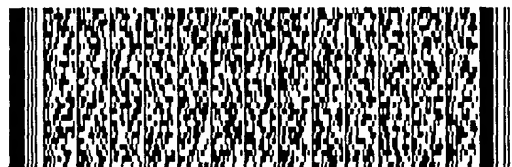
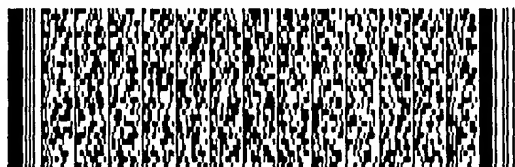
發明概述

本發明之一方面在於提供一種形成輕摻雜汲極的方法。此種方法，可以避免微影時的遮罩失準所造成之輕摻雜汲極長度相異的情形。

本發明之又一方面在於薄膜電晶體中形成輕摻雜汲極的方法。此種方法，利用閘極的底切現象產生自行對準的遮罩，可避免遮罩失準的情形。

本發明在於提供一種形成一輕摻雜汲極的方法，包含提供一半導體結構，形成一絕緣層於半導體結構上。接著，形成一導電層於絕緣層上，與形成具有圖案移轉的一光阻層於導電層上。然後，移除部分的導電層，並暴露出部分絕緣層，此移除步驟係以光阻層為一第一遮罩。其次，植入複數個第一離子至半導體結構中，此植入步驟係以光阻層與導電層為一第二遮罩。等向性蝕刻部分導電層，使得導電層於光阻層下具有底切(undercut)現象。移除光阻層後，植入複數個第二離子至半導體結構中，以形成輕摻雜汲極，此植入步驟係以等向性蝕刻後之導電層為一第三遮罩。

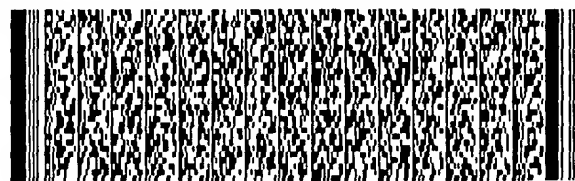
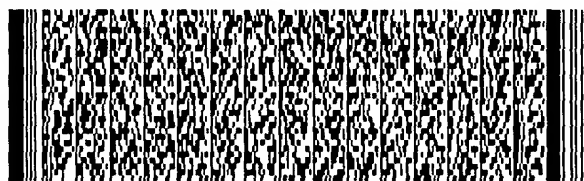
發明詳細說明



五、發明說明 (3)

圖1(A)至圖1(F)用以說明本發明方法製作薄膜電晶體之輕摻雜汲極區域的剖面示意圖。參照圖1(A)，在一底材10上，例如一玻璃底材(glass substrate)上，形成一矽層(圖上未示)。此矽層可以是一多晶矽層，例如一非晶矽層經回火(annealing)後形成的多晶矽層。接著，利用移轉圖案至矽層上以形成一多晶矽結構12(polysilicon structure)作為主動區域(active area)。一絕緣層14(insulating layer)，例如一氧化矽層或一氮化矽層，或兩者兼具，形成或沉積(depositing)於多晶矽結構12與底材10之上方。再於絕緣層14上方形成一導電層16。此導電層16可以是一金屬層(metal layer)，也可以是合金，例如鋁/鉻(Al/Cr)等。接著於導電層16上形成一具有圖案移轉(pattern transferring)的光阻層18(photo resist layer)。

參照圖1(B)，以具有圖案的光阻層18為遮罩，定義導電層16，移除部分的導電層16以暴露部分的絕緣層14，使導電層16在多晶矽結構12上形成一閘極結構17(gate structure)。其中，可利用乾蝕刻(dry etching)的方式移除部分的導電層16。再者，閘極結構17較多晶矽結構12窄。因此，以光阻層18與閘極結構17為一植入遮罩(implanting mask)，植入(implanting)離子20於多晶矽結構12中。



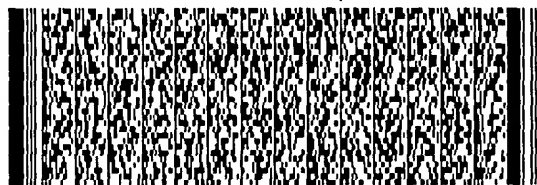
五、發明說明 (4)

如圖1(C)所示，由於閘極結構17較多晶矽結構12窄，因此離子20位於多晶矽結構12的兩側，形成摻雜區域(doped region)22。摻雜區域22一般用以作為閘極結構17的源極(source)與汲極(drain)區域。

接著，為本發明之一，參照圖1(D)所示，利用濕蝕刻的方式，對閘極結構17進行等向性蝕刻(isotropic etching)，使得在光阻層18下方的閘極結構17具有底切(undercut)現象。利用調整濕蝕刻製程中的條件，可以使閘極結構17兩側的底切程度相近。如此有利於後續的離子植入步驟。

如圖1(E)所示，先將光阻層18移除後，以具有底切的閘極結構17為一植入遮罩，植入離子24於多晶矽結構12中。由於底切的閘極結構17暴露出摻雜區域22之間的部分多晶矽結構17，因此由離子24植入所形成的摻雜區域如圖1(F)所示。摻雜區域26形成於摻雜區域22之間，用以作為閘極結構17的輕摻雜汲極區域(lightly doped drain region)。由於摻雜區域26的形成是以底切的閘極結構17為植入遮罩，底切的閘極結構17提供較佳的植入遮罩定義，因此使得所形成的摻雜區域26不易受到傳統微影對準的限制，摻雜區域26也就不易產生偏置(offset)的現象。

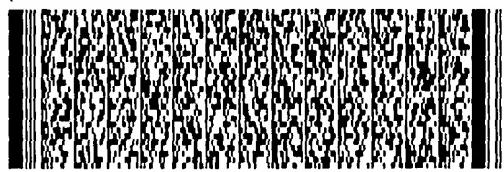
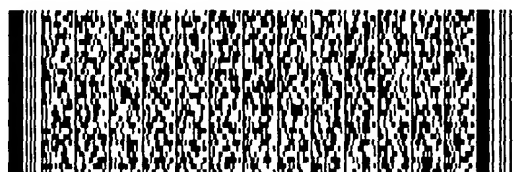
根據上述，本發明提供一種形成一輕摻雜汲極的方



五、發明說明 (5)

法，此輕摻雜汲極係形成於一包含互補金氧半導體(CMOS)的薄膜電晶體中，包含提供一玻璃底材與一多晶矽結構於玻璃底材上。沉積一絕緣層於多晶矽結構與玻璃底材上。接著，沉積一金屬層於絕緣層上，並形成具有圖案移轉的一光阻層於金屬層上。乾蝕刻部分金屬層，並暴露出部分絕緣層，此乾蝕刻步驟係以光阻層為一第一遮罩。其次，植入複數個離子至多晶矽結構中，植入步驟係以光阻層與金屬層為一第二遮罩。等向性蝕刻部分金屬層，使得金屬層於光阻層下具有底切現象。移除光阻層及植入離子至多晶矽結構中以形成輕摻雜汲極，此植入步驟係以等向性蝕刻後之金屬層為一第三遮罩。

以上較佳具體實施例之詳述係用以更加清楚地描述本發明之特徵與精神，而非用以限制本發明之範疇。本發明之申請專利範圍的範疇應該根據上述的說明作最寬廣的解釋，涵蓋所有可能均等的改變以及具均等性的安排。

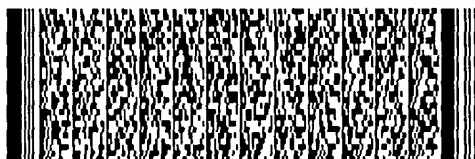


圖式簡單說明

圖1(A)至圖1(F)用以說明本發明方法製作薄膜電晶體之輕摻雜汲極區域的剖面示意圖。

圖示元件符號說明

| | | | |
|----|------|----|-------|
| 10 | 底材 | 12 | 多晶矽結構 |
| 14 | 絕緣層 | 16 | 導電層 |
| 17 | 閘極結構 | 18 | 光阻層 |
| 20 | 離子 | 22 | 摻雜區域 |
| 24 | 離子 | 26 | 摻雜區域 |



六、申請專利範圍

1. 一種形成一輕摻雜汲極(lightly doped drain)的方法，該方法包含：

提供(providing)一半導體結構(semiconductor structure)；

形成(forming)一絕緣層(insulating layer)於該半導體結構上；

形成一導電層(conductive layer)於該絕緣層上；

形成具有圖案移轉(pattern transferring)的一光阻層(photo resist layer)於該導電層上；

移除(removing)部分該導電層，並暴露(exposing)出部分該絕緣層，該移除步驟係以該光阻層為一第一遮罩(mask)；

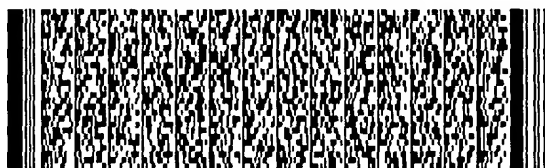
植入(implanting)複數個第一離子至該半導體結構中，該植入步驟係以該光阻層與該導電層為一第二遮罩；

等向性蝕刻(isotropic etching)部分該導電層，使得該導電層於該光阻層下具有底切(undercut)現象；

移除(removing)該光阻層；及

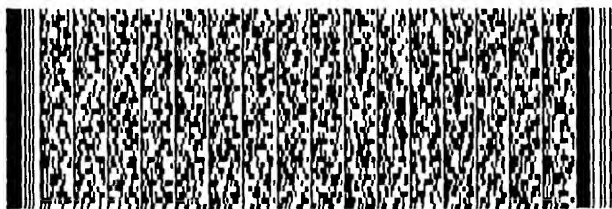
植入複數個第二離子至該半導體結構中，以形成該輕摻雜汲極，該植入步驟係以等向性蝕刻後之該導電層為一第三遮罩。

2. 如申請專利範圍第1項之方法，其中上述之半導體結構包含一底材(substrate)與一多晶矽結構(polysilicon structure)於該底材上。



六、申請專利範圍

3. 如申請專利範圍第2項之方法，其中上述之植入該M個第一離子的步驟係植入該M個第一離子至該多晶矽結構中。
4. 如申請專利範圍第2項之方法，其中上述之植入該M個第二離子的步驟係植入該M個第二離子至該多晶矽結構中。
5. 如申請專利範圍第1項之方法，其中上述之該導電層包含一金屬層。
6. 如申請專利範圍第1項之方法，其中上述之移除部分該導電層的步驟包含以乾蝕刻(dry etch)方法移除部分該導電層。
7. 如申請專利範圍第1項之方法，其中上述之形成該絕緣層的步驟包含形成一氧化層(oxide layer)與一氮化矽層(silicon nitride)於該氧化層上。
8. 一種形成一輕摻雜汲極(lightly doped drain)的方法，該輕摻雜汲極係形成於一薄膜電晶體(thin film transistor)中，該方法包含：
提供一玻璃底材(glass substrate)與一多晶矽結構(polysilicon structure)於該玻璃底材上；
沉積(depositing)一絕緣層(insulating layer)於該



六、申請專利範圍

多晶矽結構與該玻璃底材上；

沉積一金屬層(metal layer)於該絕緣層上；

形成(forming)具有圖案移轉(pattern transferring)的一光阻層(photo resist layer)於該金屬層上；

乾蝕刻(dry etching)部分該金屬層，並暴露(exposing)出部分該絕緣層，該乾蝕刻步驟係以該光阻層為一第一遮罩(mask)；

植入(implanting)複數個第一離子至該多晶矽結構中，該植入步驟係以該光阻層與該金屬層為一第二遮罩；

等向性蝕刻(isotropic etching)部分該金屬層，使得該金屬層於該光阻層下具有底切(undercut)現象；

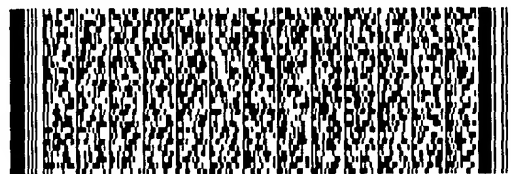
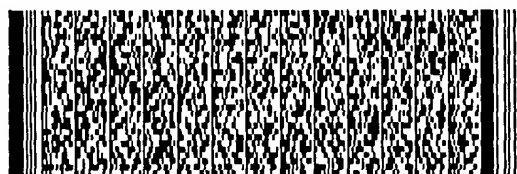
移除(removing)該光阻層；及

植入複數個第二離子至該多晶矽結構中以形成該輕摻雜汲極，該植入步驟係以等向性蝕刻後之該金屬層為一第三遮罩。

9. 如申請專利範圍第8項之方法，其中上述之等向性蝕刻的步驟包含以濕蝕刻(wet etch)的方法蝕刻部分該金屬層。

10. 一種形成一輕摻雜汲極的方法，該方法包含：

提供一半導體結構，該半導體結構包含一底材與一多晶矽結構於該底材上；



六、申請專利範圍

形成一絕緣層於該半導體結構上；

形成一導電層於該絕緣層上；

形成具有圖案移轉的一光阻層於該導電層上；

移除部分該導電層，並暴露出部分該絕緣層，該移除步驟係以該光阻層為一第一遮罩；

植入複數個第一離子至該多晶矽結構中，該植入步驟係以該光阻層與該導電層為一第二遮罩；

等向性蝕刻部分該導電層，使得該導電層於該光阻層下具有底切現象；

移除該光阻層；及

植入複數個第二離子至該多晶矽結構中，以形成該輕摻雜汲極，該植入步驟係以等向性蝕刻後之該導電層為一第三遮罩。

11. 一種形成一輕摻雜汲極的方法，該輕摻雜汲極係形成於一薄膜電晶體中，該方法包含：

提供一玻璃底材與一多晶矽結構於該玻璃底材上；

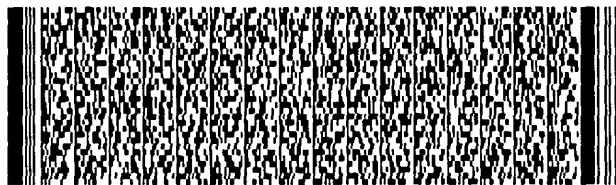
沉積一絕緣層於該多晶矽結構與該玻璃底材上；

沉積一金屬層於該絕緣層上；

形成具有圖案移轉的一光阻層於該金屬層上；

乾蝕刻部分該金屬層，並暴露出部分該絕緣層，該乾蝕刻步驟係以該光阻層為一第一遮罩；

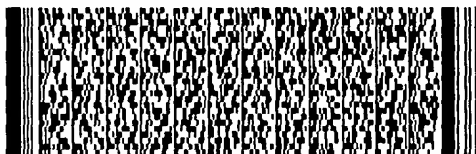
植入複數個第一離子至該多晶矽結構中，該植入步驟係以該光阻層與該金屬層為一第二遮罩；



六、申請專利範圍

等向性蝕刻部分該金屬層，使得該金屬層於該光阻層下具有底切現象，該等向性蝕刻步驟包含一濕蝕刻步驟；
移除該光阻層；及

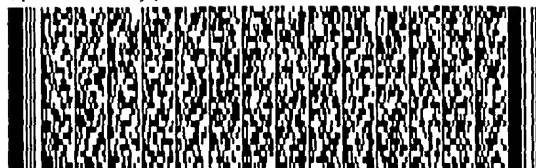
植入複數個第二離子至該多晶矽結構中以形成該輕摻雜汲極，該植入步驟係以等向性蝕刻後之該金屬層為一第三遮罩。



第 1/16 頁



第 2/16 頁



第 2/16 頁



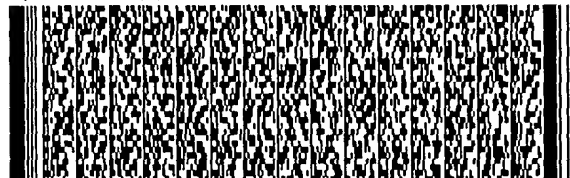
第 3/16 頁



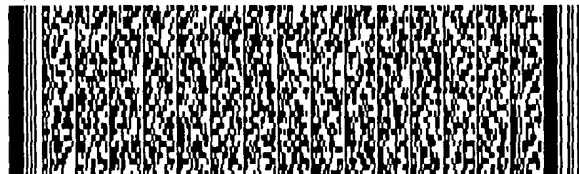
第 4/16 頁



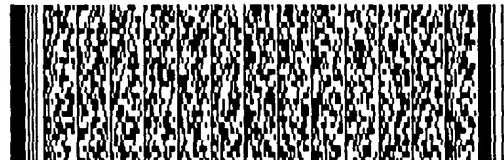
第 6/16 頁



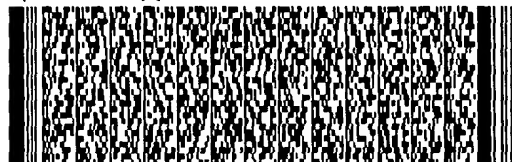
第 6/16 頁



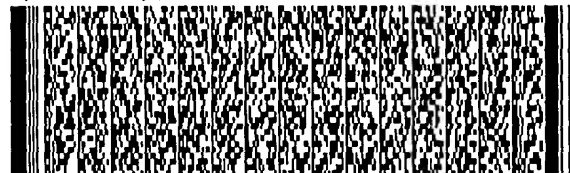
第 7/16 頁



第 7/16 頁



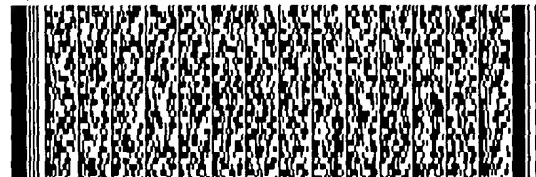
第 8/16 頁



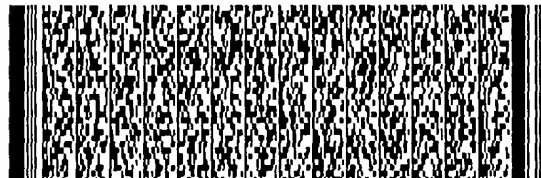
第 8/16 頁



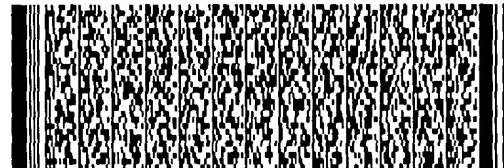
第 9/16 頁



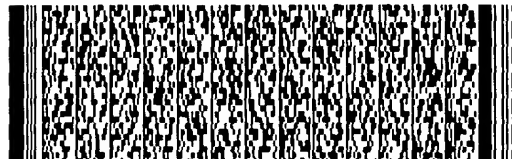
第 9/16 頁



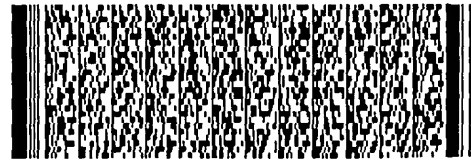
第 10/16 頁



第 10/16 頁



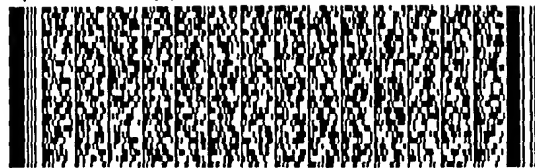
第 11/16 頁



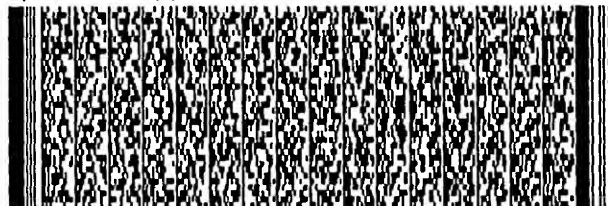
第 12/16 頁



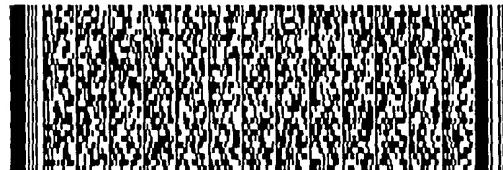
第 12/16 頁



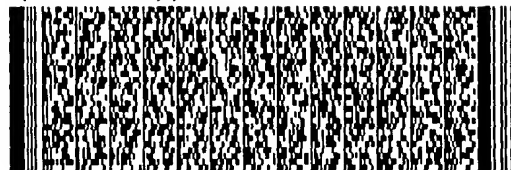
第 13/16 頁



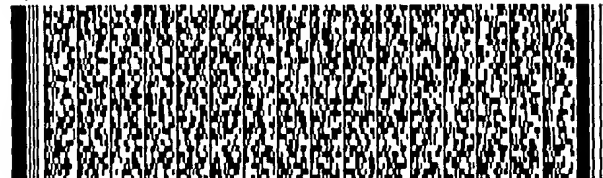
第 14/16 頁



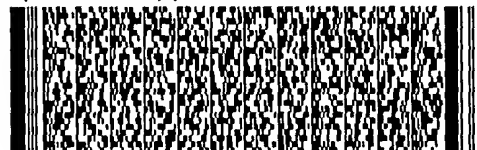
第 14/16 頁



第 15/16 頁



第 16/16 頁



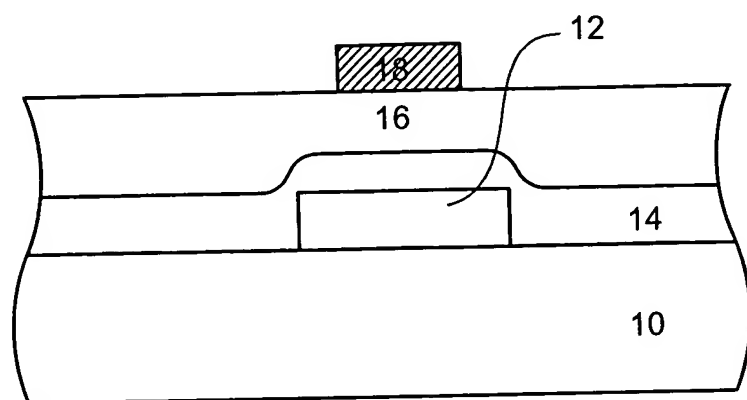


圖 1(A)

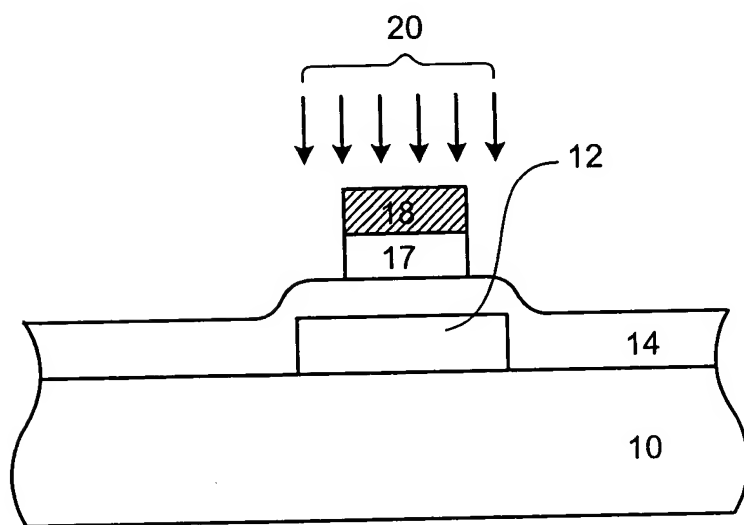


圖 1(B)

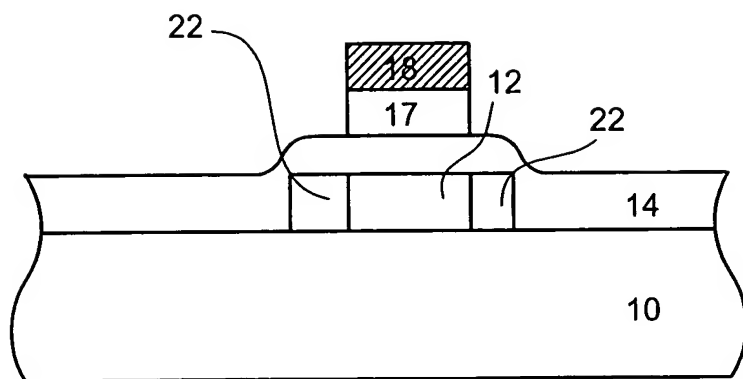


圖 1(C)

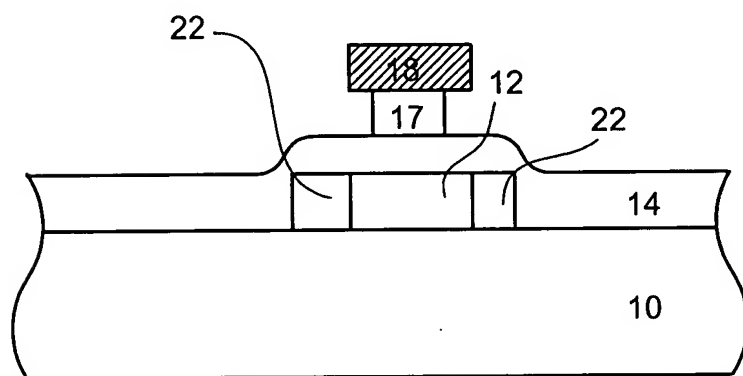


圖 1(D)

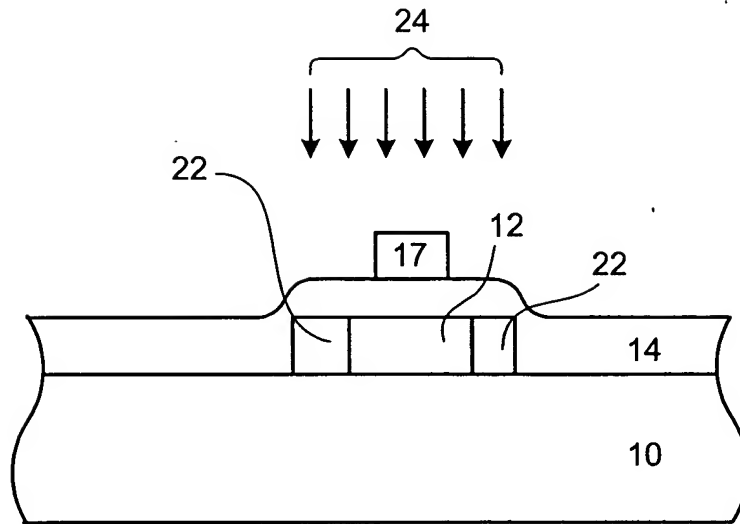


圖 1(E)

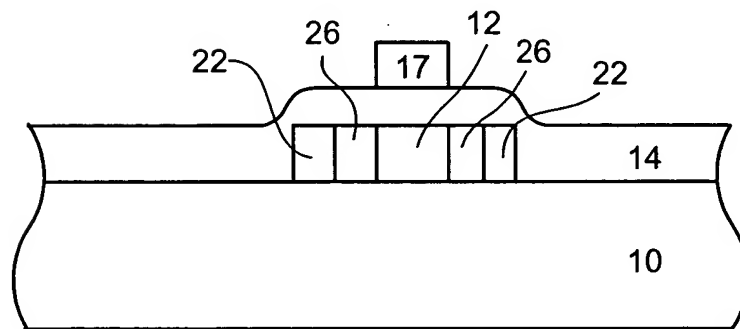


圖 1(F)